



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002015592 A**(43) Date of publication of application: **18.01.02**

(51) Int. Cl.

G11C 29/00
G11C 11/413
G11C 11/401

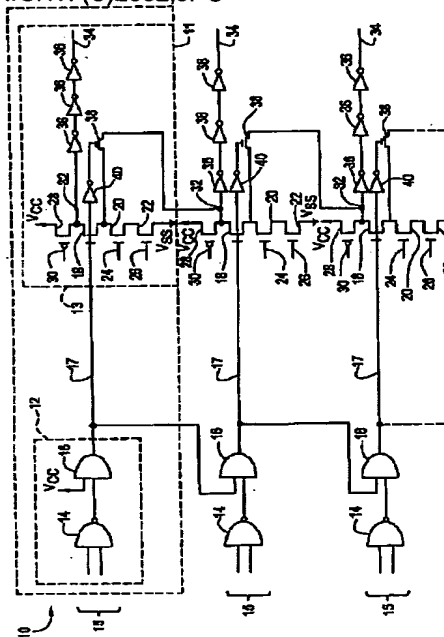
(21) Application number: **2001009519**(22) Date of filing: **17.01.01**(30) Priority: **17.06.00 US 2000 595149**(71) Applicant: **UNITED MEMORIES INC SONY CORP**(72) Inventor: **PARRIS MICHAEL C
HARDEE KIM CARVER**(54) **SHIFT REDUNDANCY SCHEME CIRCUIT FOR WORD LINE OF MEMORY CIRCUIT**

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a word line redundancy scheme, realizing a control circuit which does not require many fuses, without reducing the performance level of a memory circuit.

SOLUTION: A word line row redundancy scheme circuit consists of row shift circuits and row decoder circuits. When row shift redundancy is not required, the row shift circuit supplies a first row shift control signal to a row shift control line, and when it is required, the circuits supplied a second row shift control signal to the row shift control line. The signal, supplied to the row shift control line, causes either of first and second electronic switches to actuate. When the first electronic switch and several electronic switches are actuated, the path of conductivity is formed between a first word line selecting line and a word line driver line. When the second electronic switch and several electronic switches are actuated, a path of conductivity is formed between a second word line selecting line and a word line driver line.





(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-15592

(P2002-15592A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)	
G11C 29/00	603	G11C 29/00	D 5B015	
11/413		11/34	C 5B024	
11/401			D 5L106	

審査請求 有 請求項の数23 O L (全8頁)

(21)出願番号 特願2001-9519(P2001-9519)
(22)出願日 平成13年1月17日(2001.1.17)
(31)優先権主張番号 09/595149
(32)優先日 平成12年6月17日(2000.6.17)
(33)優先権主張国 米国 (US)

(71)出願人 393000386
ユニテッド・メモリーズ・インコーポ
レーテッド
アメリカ合衆国 コロラド州80919・コロ
ラドスプリングス・スイート109・リスト
ドライブ4815
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74)代理人 100086368
弁理士 萩原 誠

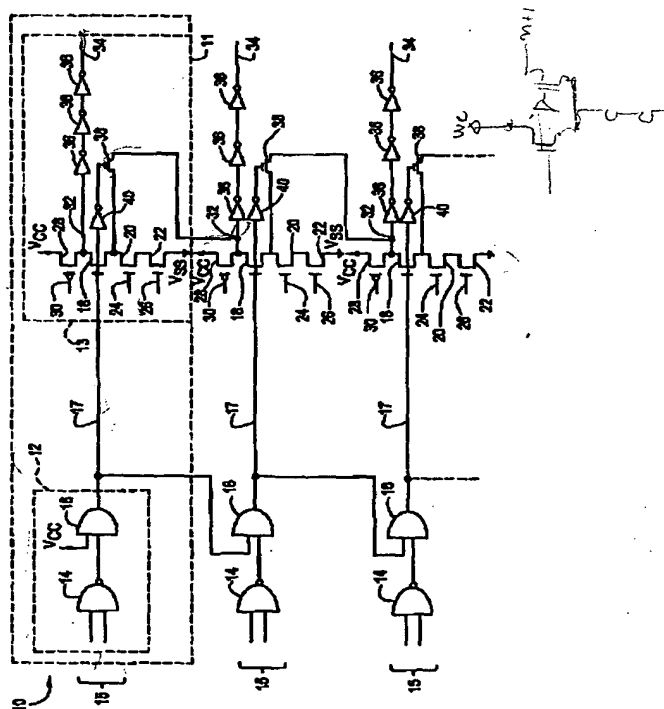
最終頁に続く

(54)【発明の名称】メモリ回路のワード線に対するシフト冗長スキーム回路

(57)【要約】 (修正有)

【課題】 メモリ回路の性能を低下させず、かつ多数のヒューズを必要としない制御回路を実現するワード線冗長スキームを提供すること。

【解決手段】 ワード線冗長スキーム回路は行シフト回路および行デコード回路からなる。行シフト冗長が必要ない場合には、行シフト回路は、行シフト制御ラインに第一の行シフト制御信号を供給し、必要な場合には、行シフト制御ラインに第二の行シフト制御信号を供給する。行シフト制御ラインに供給された信号は、第一および第二の電子スイッチのうち的一方を作動させる。第一の電子スイッチおよびいくつかの電子スイッチが作動した場合、第一のワード線選択ラインとワード線ドライバ・ラインとの間に導電性の通路が形成される。第二の電子スイッチおよびいくつかの電子スイッチが作動した場合、第二のワード線選択ラインとワード線ドライバ・ラインとの間に導電性の通路が形成される。



【特許請求の範囲】

【請求項 1】 ワード線行冗長スキーム回路であって、
行シフト回路と、

行シフト制御ラインにより前記行シフト回路に電氣的に
接続している行デコーダ回路とを備え、

前記行シフト回路が、行シフト冗長が必要ない場合に
は、前記行シフト制御ラインに第一の行シフト制御信号
レベルを供給するように構成され、

前記行シフト回路が、行シフト冗長が必要な場合には、
前記行シフト制御ラインに第二の行シフト制御信号レベ
ルを供給するように構成され、前記第一の行シフト制御
信号レベル、および前記第二の行シフト制御信号レベル
が識別特性を有し、さらに、

アドレス選択電子スイッチと第一のワード線選択ライン
との間に直列に電氣的に接続し、前記第一の行シフト制
御信号レベルに反応する第一の電子スイッチと、

前記アドレス選択電子スイッチと第二のワード線選択ラ
インとの間に直列に電氣的に接続し、前記第二の行シフ
ト制御信号レベルに反応する第二の電子スイッチとを備
えることを特徴とするワード線行冗長スキーム回路。

【請求項 2】 請求項 1 に記載のワード線行冗長スキ
ーム回路において、

前記第一のワード線選択ラインが第一のワード線アドレ
スと対応し、前記第二のワード線選択ラインが第二のワ
ード線アドレスに対応し、前記第一のワード線アドレス
が前記第二のワード線アドレスに隣接することを特徴と
するワード線行冗長スキーム回路。

【請求項 3】 請求項 1 に記載のワード線行冗長スキ
ーム回路において、

さらに、前記アドレス選択電子スイッチに直列に電氣的
に接続している追加のアドレス選択電子スイッチを備え
ることを特徴とするワード線行冗長スキーム回路。

【請求項 4】 請求項 1 に記載のワード線行冗長スキ
ーム回路において、

前記行シフト回路が、予備行アドレスに対応する制御信
号に反応することを特徴とするワード線行冗長スキーム
回路。

【請求項 5】 請求項 1 に記載のワード線行冗長スキ
ーム回路において、

前記行デコーダ回路が、プレチャージ回路からなること
を特徴とするワード線行冗長スキーム回路。

【請求項 6】 請求項 5 に記載のワード線行冗長スキ
ーム回路において、

前記プレチャージ回路が、プレチャージ電子スイッチを
含むことを特徴とするワード線行冗長スキーム回路。

【請求項 7】 請求項 6 に記載のワード線行冗長スキ
ーム回路において、

前記プレチャージ電子スイッチが、トランジスタを備え
ることを特徴とするワード線行冗長スキーム回路。

【請求項 8】 請求項 1 に記載のワード線行冗長スキ

ーム回路において、

前記行デコーダ回路が、複数のレベルシフティング・イ
ンバータを備えることを特徴とするワード線行冗長スキ
ーム回路。

【請求項 9】 請求項 1 に記載のワード線行冗長スキ
ーム回路において、

前記第一の電子スイッチが、トランジスタを備えること
を特徴とするワード線行冗長スキーム回路。

【請求項 10】 請求項 1 に記載のワード線行冗長スキ
ーム回路において、

前記第二の電子スイッチが、トランジスタを備えること
を特徴とするワード線行冗長スキーム回路。

【請求項 11】 請求項 1 に記載のワード線行冗長スキ
ーム回路において、

前記アドレス選択スイッチが、トランジスタを備えるこ
とを特徴とするワード線行冗長スキーム回路。

【請求項 12】 ワード線行冗長スキーム回路であつ
て、

行シフト回路入力ラインと、行シフト回路制御回路と、
行シフト制御ラインに対応する行シフト回路出力ライン
とを有する行シフト回路を備え、

前記行シフト回路入力ラインが、予備のワード線アドレ
スを示す電気信号を搬送するように適合され、さらに、
前記行シフト制御ラインにより前記行シフト回路に電氣
的に接続している行デコーダ回路を備え、前記行シフト
回路は、行シフト冗長が必要ない場合には、前記行シフ
ト制御ラインに、第一の行シフト制御信号レベルを供給
するように構成され、行シフト冗長が必要な場合には、

前記行シフト制御ラインに第二の行シフト制御信号レベ
ルを供給するように構成され、前記第一の行シフト制御
信号レベルおよび前記第二の行シフト制御信号レベルが
識別特性を有し、さらに、

前記行シフト制御ラインに電氣的に接続している第一の
トランジスタ制御電極を有し、前記第一の行シフト制御
信号レベルに反応する第一のトランジスタを備え、前記
第一のトランジスタがさらに、アドレス選択トランジス
タと第一のワード線選択ラインとの間に電氣的に直列に
接続し、さらに、

前記行シフト制御ラインに電氣的に接続している第二の
トランジスタ制御電極を有し、前記第二の行シフト制御
信号レベルに反応する第二のトランジスタを備え、前記
第二のトランジスタがさらに、前記アドレス選択トラン
ジスタと第二のワード線選択ラインとの間に電氣的に直
列に接続していることを特徴とするワード線行冗長スキ
ーム回路。

【請求項 13】 請求項 12 に記載のワード線行冗長ス
キーム回路において、

前記第一のワード線選択ラインが、第一のワード線アド
レスと対応し、前記第二のワード線選択ラインが、第二
のワード線アドレスに対応し、前記第一のワード線アド

レスが、前記第二のワード線アドレスに隣接することを特徴とするワード線行冗長スキーム回路。

【請求項 14】 請求項 12 に記載のワード線行冗長スキーム回路において、

さらに、前記アドレス選択トランジスタに直列に電氣的に接続する追加のアドレス選択トランジスタを備えることを特徴とするワード線行冗長スキーム回路。

【請求項 15】 請求項 12 に記載のワード線行冗長スキーム回路において、

前記行デコーダ回路が、プレチャージ回路を含むことを特徴とするワード線行冗長スキーム回路。

【請求項 16】 請求項 15 に記載のワード線行冗長スキーム回路において、

前記プレチャージ回路が、プレチャージ・トランジスタを備えることを特徴とするワード線行冗長スキーム回路。

【請求項 17】 請求項 16 に記載のワード線行冗長スキーム回路において、

前記プレチャージ電子スイッチが、電界効果トランジスタを備えることを特徴とするワード線行冗長スキーム回路。

【請求項 18】 請求項 12 に記載のワード線行冗長スキーム回路において、

前記行デコーダ回路が、複数のレベルシフティング・インバータを含むことを特徴とするワード線行冗長スキーム回路。

【請求項 19】 請求項 12 に記載のワード線行冗長スキーム回路において、

前記第一のトランジスタが、電界効果トランジスタからなることを特徴とするワード線行冗長スキーム回路。

【請求項 20】 請求項 12 に記載のワード線行冗長スキーム回路において、

前記電界効果トランジスタが、NMOS デバイスからなることを特徴とするワード線行冗長スキーム回路。

【請求項 21】 請求項 12 に記載のワード線行冗長スキーム回路において、

前記第二のトランジスタが、電界効果トランジスタからなることを特徴とするワード線行冗長スキーム回路。

【請求項 22】 請求項 12 に記載のワード線行冗長スキーム回路において、

前記アドレス選択トランジスタが、電界効果トランジスタからなることを特徴とするワード線行冗長スキーム回路。

【請求項 23】 メモリ回路のために、シフト行冗長スキームを実行する方法であって、

(a) 前記メモリ回路のワード線内に含まれている、欠陥のあるメモリ・セルを検出するステップと、

(b) 前記欠陥メモリ・セルの検出に反応して、前記欠陥メモリ・セルを含む前記ワード線に関連するワード線アドレス選択制御回路用の行シフト制御信号を発生させ

るステップと、

(c) 前記行シフト制御信号の発生に基づいて、前記欠陥メモリ・セルを含む前記ワード線に関連する制御回路を作動させるステップと、

(d) 前記ワード線に対する前記ワード線選択信号を、隣接するワード線に関連するワード線ドライバ・ラインへ、前記ワード線ラインに関連するワード線ラインドライバと前記隣接するワード線に関連する前記ワード線選択ラインとの間に導電性通路を形成することによりシフトするステップとからなることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリ回路用の回路に係り、特に欠陥メモリ・セルが及ぼす悪影響を克服するための行冗長機能を実行するメモリ回路用の制御回路に関する。

【0002】

【従来の技術】 読出し／書込みメモリ回路は、書込みというプロセスによりデータを記憶し、読出しというプロセスによりそのデータの以降の検索を可能にする。従来のメモリ回路の場合には、メモリ・セル・アレイの形に配列された、複数の記憶場所にデータが記憶される。各記憶場所は、行識別子および列識別子の両方を含むアドレスにより識別される。メモリ回路のセル内に記憶することができるデータの量は、その回路の記憶容量と呼ばれる。各セルは、デコーダ回路によりアクセスされる。列デコーダおよび行デコーダを、メモリ回路のセルにアクセスするために使用することができる。従来のメモリ回路の場合には、データ・ラインが、書込みサイクル中にデータを記憶場所に転送し、読出しサイクル中にデータを記憶場所から転送する。

【0003】 ある特定のタイプのメモリ回路は、ランダム・アクセス・メモリ回路（「RAM」）と呼ばれる。ランダム・アクセス・メモリ回路を使用した場合には、記憶場所にランダムにアクセスすることができるし、さらにデータをメモリ回路の記憶場所から読み出すこともできるし、記憶場所に書き込むこともできる。RAM 回路は、通常、二つのタイプに分類される。第一のタイプの RAM は、スタティック RAM 回路（「SRAM」）と呼ばれる。SRAM 回路の主な特徴は、回路に電力を供給されている限り、回路の記憶場所が、その内部に記憶しているデータをいつまでも保持するようにラッチを使用していることである。第二のタイプの RAM は、ダイナミック RAM 回路（「DRAM」）と呼ばれる。DRAM 回路の主な特徴は、この回路が、記憶場所内に記憶したデータを保持するために、コンデンサのような電荷記憶素子を使用していることであり、この回路の場合、データを保持するために、データを周期的に再充電（すなわち、リフレッシュ）してやらなければならないことである。

【0004】

【発明が解決しようとする課題】当業者であれば理解できると思うが、ときどき、メモリ回路内のメモリ・セルおよび／またはメモリ・アレイが、一つまたはそれ以上の欠陥を持っている場合がある。このような欠陥は、種々の原因により発生する。ある種の欠陥は、製造プロセス中の変異により発生する。他の欠陥は、メモリ回路の動作中に発生した問題が原因で発生する。

【0005】一つのセルの欠陥が分離して、メモリ・アレイ全体に広がる場合がある。また、一つのグループの欠陥セルが相互に関連している場合もある。複数のセルに欠陥が発生した場合には、これらのセルのうちのいくつかのセルの欠陥は、これらの欠陥セルが共通のワード線（行）アドレスを共有している場合には、ワード線（すなわち、行）欠陥として特徴づけられる。複数のセルの欠陥は、これらの欠陥セルが共通のビット・ライン（列）アドレスを共有している場合には、ビット・ライン（すなわち、列）欠陥として特徴づけられる。このような複数のセルの欠陥はまた、両方に特徴づけられる場合がある。

【0006】多くの場合、メモリ回路は欠陥セルを持っている場合でも、正常に機能することができる。欠陥セルを検出した場合には、予備のセルがアレイ内に含まれている場合には、これらの欠陥セルを予備セルに交換することができる。セルの欠陥を修復するためのオンチップ予備セルを含んでいることを、当業者はオンチップ冗長と呼ぶ。通常の冗長スキーム技術は、一つまたはそれ以上の予備の行（行冗長）、および／または一つまたはそれ以上の予備の列（列冗長）を有する。これらの予備の行および／または列は、欠陥のある行または列の、ワード線（行）アドレスまたはビット・ライン（列）アドレスに反応するヒューズとプログラム可能な制御回路を有する。上記制御回路は、また、欠陥セルの選択を禁止する。電気的には、冗長スキームにより修復されたメモリ回路は、欠陥のあるセルを全然含まないメモリ回路と同じものである。

【0007】従来技術のワード線冗長スキームは、ある種の用途には有用であったが、このようなスキームは、それらに関連して少なくとも三つの重要な問題を抱えている。第一の問題は、従来技術のワード線冗長スキームを実行する制御回路を使用すると、メモリ回路の性能が低下するという問題である。この点に関して、主素子の代わりに予備の素子を使用するメモリ回路は、通常、欠陥セルを全然含んでいないメモリ回路と比較して相対的に速度が遅い。特に、ワード線（行）選択ラインの場合、予備の素子に対する速度は、主素子に対する速度より遅い。通常、その原因は、修復されたアドレスは、ヒューズまたは追加の制御回路に迂回されるためである。

【0008】第二の問題は、従来技術のワード線冗長スキームを実行する制御回路を使用すると、エリア・ペナ

ルティが発生するという問題である。特に、従来技術のワード線冗長スキーム下では、欠陥メモリ・セルを有するワード線の行アドレスをデコードし、これらの行アドレスを無効にするために、通常、行デコーダ・ピッチ上にヒューズを必要とする。望ましくは、行アドレスを選択的に無効にするために、各ワード線ドライバは、通常、少なくとも一つのヒューズを必要とする。これらのヒューズは、通常、比較的広いスペースを必要とするため、メモリ・アレイは比較的広い面積を必要とする。

【0009】第二の問題に関連する従来技術のワード線冗長スキームの第三の問題は、従来技術のワード線冗長スキームを実行する制御回路を使用すると、通常、比較的多数のヒューズが必要になるという問題である。さらに、その場所およびその対応するメモリ・アドレスを含む各ヒューズに関連する情報を示す比較的大量のデータを記憶しなければならない。ギガビット単位の記憶容量を有する現代のDRAMを使用した場合、行デコーダ・ピッチに対して比較的多数のヒューズが必要であり、比較的大量のデータを記憶し、そのデータに容易にアクセスできなければならない。

【0010】本発明の好適な実施形態の一つの目的は、従来技術のワード線冗長スキームの上記問題を解決することである。本発明の好適な実施形態のもう一つの目的は、欠陥メモリ・セルが及ぼす悪影響を克服するために、新しい、改良されたワード線冗長スキームを提供することである。本発明の好適な実施形態のさらにもう一つの目的は、欠陥または不良メモリ・セル周囲のワード線アドレス指定をシフトするワード線冗長スキームを提供することである。

【0011】本発明の好適な実施形態の上記およびその他の目的は、以下の説明を読めば明らかになるだろう。しかし、以下の詳細な説明から手に入れることができるものを含めて、これらの各目的および全目的を達成しなくても、ある装置は、本明細書に記載する発明に該当することを理解されたい。本発明の主題を定義しているのは、本発明の目的の部分ではなく、特許請求の範囲である。任意の目的およびすべての目的は、必ずしも本発明全体を使用しなくても、本発明の好適な実施形態により達成することができる。

【0012】

【課題を解決するための手段】本発明は、行シフト回路および行シフト制御ラインにより行シフト回路に電気的に接続している行デコーダ回路からなるワード線冗長スキーム回路に関する。特定のワード線に対して、行シフト冗長が必要ない場合には、行シフト回路は、行シフト制御ラインに第一の行シフト制御信号を供給する。そのワード線に対して行シフト冗長が必要な場合には、行シフト回路は、行シフト制御ラインに第二の行シフト制御信号を供給する。第一の行シフト制御信号、および第二の行シフト制御信号は識別特性を持つ。行シフト制御

ラインに供給された信号は、選択的に第一の電子スイッチおよび第二の電子スイッチのうち的一方を作動させる。少なくとも一方の電子スイッチは、第一の電子スイッチおよび第二の電子スイッチに直列に接続している。第一の電子スイッチも、第一のワード線選択ラインに電氣的に直列に接続している。第二の電子スイッチも、第一のワード線選択ラインに対応するワード線に隣接するワード線に対応する第二のワード線選択ラインに、電氣的に直列に接続している。行アドレス・ラインは、少なくとも一方の電子スイッチを選択的に作動させる行アドレス選択制御信号を搬送するために、少なくとも一方の電子スイッチに、電氣的に接続している。ワード線ドライバ・ラインも、アドレス制御信号が少なくとも一方の電子スイッチを作動させた場合、少なくとも一方の電子スイッチを通過するワード線選択信号を搬送するために、少なくとも一方の電子スイッチに電氣的に接続している。第一の電子スイッチおよび少なくとも一方の電子スイッチが作動した場合には、第一のワード線選択ラインとワード線ドライバ・ラインとの間に導電性の通路が形成される。第二の電子スイッチおよび少なくとも一方の電子スイッチが作動した場合には、第二のワード線選択ラインとワード線ドライバ・ラインとの間に導電性の通路が形成される。

【0013】本発明はまた、メモリ回路用のワード線冗長スキームを提供するための方法に関する。上記方法に従えば、ワード線内に含まれている欠陥のあるメモリ・セルが検出される。欠陥のあるメモリ・セルの検出に反応する行シフト制御信号が発生して、制御回路を作動させ、制御回路は、ワード線ドライバ・ラインと隣接するワード線選択ラインとの間に導電性通路を形成することにより、ワード線選択信号を隣接するワード線選択ラインにシフトさせる。

【0014】

【発明の実施の形態】添付の図面を参照しながら、本発明の例示としての実施形態を以下に説明するが、類似の部品には類似の番号がつけてある。図1は、メモリ回路の一部として、またはメモリ回路に関連して内蔵されている、全体を参照番号10で示す制御回路である。制御回路10は、メモリ回路の欠陥のあるメモリ素子またはセルを迂回して、ワード線のアドレス指定をシフトすることによって、メモリ回路用の一意のワード線冗長スキームを実行する。

【0015】制御回路10は、メモリ回路の各ワード線選択回路11に関連する回路構成部材からなる。各ワード線選択回路11は、第一のワード線選択回路に対する、図1に示す、行シフト回路12および行デコード回路13の両方からなる。各行シフト回路12は、好適には、メモリ回路に対する予備のアドレス、または修復アドレスを示す信号を搬送することができる入力ライン15を有するNANDゲート14を含むことが好ましい。

各ワード線選択回路11用の入力ライン15は、好適には、入力ライン15により搬送される予備のアドレスまたは修復アドレス制御信号を設定するために、ヒューズ・バンクおよび関連制御回路（図示せず）に電氣的に接続していることが好ましい。

【0016】二入力ANDゲート16も、好適には、各行シフト回路12に内蔵されていることが好ましい。ANDゲート16の一方の入力は、好適には、NANDゲート14の出力に電氣的に接続していることが好ましい。ANDゲート16の他の入力は、（最初のまたは最後の）最終ワード線選択回路の場合を除いて、好適には、隣接するワード線選択回路11の行シフト回路12に関連するANDゲート16の出力に、電氣的に接続していることが好ましい。図に示すように、最終ワード線選択回路11の場合には、そのANDゲート16の第二の入力は、好適には、当業者が、通常、Vccで示す標準高電位レベルを有する電源に、電氣的に接続していることが好ましい。その入力を、NANDゲート14の出力およびVccにそれぞれ接続した場合には、この最終ワード線選択回路11の行シフト回路12に内蔵されているANDゲート16の出力上に存在する信号は、NANDゲート14の出力上に存在する信号に「追従」し、そのため、上記出力上に存在する信号に対応する。

【0017】図1に示すように、各ワード線選択回路11について、シフト制御ライン17は、行デコード回路13を有する行シフト回路12に電氣的に接続している。各ワード線選択回路11の行デコード回路13は、好適には、NMOSデバイスとして図示するトランジスタ18を含むことが好ましい。各ワード線選択回路11について、トランジスタ18の制御電極（すなわち、そのゲート端子）は、好適には、シフト制御ライン17により、ANDゲート16の出力に電氣的に接続していて、すでに説明したように、同様に、隣接するワード線選択回路11に関連するANDゲート16への入力に電氣的に接続していることが好ましい。各ワード線選択回路11はさらに、好適には、図にトランジスタ20、22で示す、一つまたはそれ以上の別の直列接続トランジスタを含むことが好ましい。説明上の都合で、図のトランジスタ20、22は、NMOSデバイスとする。ワード線アドレス・ビット・ライン24は、好適には、トランジスタ20の制御電極に電氣的に接続していることが好ましい。同様に、ワード線アドレス・ビット・ライン26は、好適には、トランジスタ22の制御電極に電氣的に接続していることが好ましい。

【0018】図1には、一方の電極がトランジスタ18に直列に接続し、他方の電極がトランジスタ22に直列に接続しているトランジスタ20が示されている。図に示すように、トランジスタ22は、基準電圧（すなわち、アースまたはVss）に接続している。各ワード線選択回路11用の行デコード回路13も、好適には、図

にPMOSデバイスとして示すトランジスタ28を含むことが好ましい。トランジスタ28は、好適には、その制御電極のところで、プレチャージ制御ライン30に接続していることが好ましい。その他の二つの電極のところで、トランジスタ28は、好適には、それぞれ、Vccおよびトランジスタ18に直列接続していることが好ましい。出力ノード32は、トランジスタ28および18間の接合部に形成される。ワード線選択ライン34は、好適には、一つまたはそれ以上の直列接続インバータ36を通して出力ノード32に接続していることが好ましい。インバータ36は、ワード線選択ライン34上の電圧をその必要な電圧レベルに至らせるために、電圧レベルシフティング機能を実行する。

【0019】各ワード線選択回路11用の行デコーダ回路13も、好適には、図にNMOSデバイスとして示すトランジスタ38を内蔵することが好ましい。トランジスタ38の制御電極は、好適には、インバータ40を通して、ANDゲート16の出力およびシフト制御ライン17に電氣的に接続していることが好ましい。その他の電極のうちの一方は、好適には、トランジスタ18とトランジスタ20との間の接合部に電氣的に接続していることが好ましい。一方、その他の電極のうちの他方は、好適には、隣接するワード線選択回路11に関連する出力ノード32に電氣的に接続していることが好ましい。

【0020】動作中、制御回路10は、ワード線のアドレス指定を、メモリ回路の欠陥のあるメモリ素子またはセルを迂回してシフトさせる。プレチャージ段階では、各ワード線選択ライン34は、プレチャージ状態を示す信号を搬送するためにプレチャージされる。図1の制御回路10の場合には、各ワード線選択ライン34は、電

位がVssにほぼ近い相対的に低い電圧信号を搬送するためにプレチャージされる。

【0021】特定のワード線に関連するメモリ素子が機能的である場合には、それに関連するアドレスは、データを記憶し、および/または検索するためにそのワード線にアクセスすることができる。ワード線アドレスをシフトする必要がないので、行シフト回路12が内蔵している入力ライン15のうちの少なくとも一つは、Vss電位にほぼ近い相対的に低い電圧信号を搬送する。この入力ライン15および他の入力ライン15に搬送される信号は、ヒューズ・バンクまたは他の制御回路（図示せず）により設定されることを理解することができるだろう。さらに、ヒューズ・バンクを使用するにもかかわらず、この電流ワード線冗長スキーム回路10は、従来技術のワード線冗長スキーム回路より、実質的に少ないヒューズしか必要としないことも理解することができるだろう。

【0022】特定のワード線用の入力ライン15のうちの少なくとも一つが、相対的に低い電圧信号を搬送する上記条件下では、そのワード線に対するANDゲート1

6の入力に電氣的に接続している、そのワード線に対するNANDゲート14の出力は、相対的に高い電圧レベルに設定される。さしあたって、ANDゲート16用の他の入力も、相対的に高い電圧信号を搬送すると仮定した場合、ANDゲート16の出力に電氣的に接続しているシフト制御ライン17は、Vcc電位にほぼ近い相対的に高い電圧信号を搬送する。その結果、隣接するワード線用の、ワード線選択回路11の行シフト回路12に内蔵されているANDゲート16の一つの入力は、相対的に高い電圧レベルに至る。さらに、トランジスタ18が動作可能になり（すなわち、オンになり）、トランジスタ38が動作不能になる（すなわち、オフになる）。

【0023】この状況の下では、各ワード線に対するワード線アドレス・ビット・ライン24、26が、相対的に高い電圧信号を搬送し、トランジスタ20、22をオンにする場合には、特定のワード線に対するワード線選択ライン34は、プレチャージされた低い状態から、Vcc電位にほぼ近い高い電圧レベルに移移する。その後で、ワード線選択ライン34は、そのワード線から読み出すために、および/またはそのワード線に書き込むために、そのワード線を選択する目的で使用され、または上記選択を行うために、他の制御回路（図示せず）に電氣的に接続される。特定のワード線に対するワード線アドレス・ビット・ライン24、26は、読み出し動作または書き込み動作のために、そのワード線を選択したい場合には、相対的に高い電圧信号を搬送することが理解できるだろう。さらに、上記信号は、図1に示していない他の行選択制御回路により供給されることも理解することができるだろう。

【0024】特定のワード線に関連するメモリ素子に欠陥がある場合、そうしたい場合には、そのワード線に対応するアドレスを、次に使用可能なワード線を選択的に動作できるようにするためにシフトすることができる。このような状況の下では、欠陥のある素子を含む不良ワード線に関連するすべての入力ライン15は、Vcc電位にほぼ近い相対的に高い電圧信号を搬送する。これら入力ライン15は、その行アドレスに関連するワード線が、一つまたはそれ以上の欠陥のある素子を含むことを示す。ここでもまた、この入力ライン15および他の入力ライン15に搬送される信号は、ヒューズ・バンクおよび他の制御回路（図示せず）により設定される。

【0025】このような状況下では、欠陥のあるワード線用の行シフト回路12が内蔵しているNANDゲート14の出力は、相対的に低い電圧信号を搬送し、その関連するシフト制御ライン17上の信号を相対的に低い電圧レベルに保持する。各シフト制御ライン17は、好適には、次のワード線用の選択回路に関連するANDゲート16の入力に電氣的に接続していることが好ましいので、後続の各シフト制御ライン17も相対的に低い電圧レベルに保持される。

10

20

30

40

50

【0026】相対的に低い電圧信号に保持された、その関連するシフト制御ライン17を有する上記各ワード線の場合には、その関連するトランジスタ18はオフになり、一方、その関連するトランジスタ38はオンになる。その結果、欠陥のあるワード線は、もはや選択されないで、後続のすべてのワード線は、その先行するワード線に対する行アドレスにより制御され、選択される。このことは、先行するワード線用の選択回路に関連するワード線アドレス・ビット・ライン24、26へ、相対的に高い電圧信号を供給することにより達成される。これにより、今度は、隣接する選択したワード線に対するワード線選択ライン34が、そのプレチャージされた低い電圧レベルから、読出し動作または書込み動作を同時に発生させる目的で、対応するワード線にアクセスしなければならない高い電圧レベルに遷移する。

【0027】図2は、全体を参照番号110で示す制御回路の第二の実施形態である。図2の制御回路110の構造および機能は、図1の制御回路10の構造および機能とほとんど同じである。各ワード線選択回路についての、注意すべき相違点は下記の通りである。(1)図2の場合には、図1のANDゲート16の代わりに、NANDゲート116が使用されている；(2)上記変更が行われたために、図2の場合には、図1のインバータ40が除去されている；(3)同様に、インバータ140が、NANDゲート116の出力とトランジスタ18の制御電極との間に直列に挿入されている；(4)好適には、追加のシフト制御ライン117により、NANDゲート116の出力をトランジスタ38の制御電極に接続した方が好ましい；(5)レベルシフティング・インバータ36が除去されているが、好適には、行デコーダ回路の後続の段(図示せず)に設置できれば好ましい；

(6)追加の予備アドレス・ライン115に加えて、追加のワード線アドレス・ビット・ライン124、およびトランジスタ120が内蔵されている。しかし、ワード線アドレス・ビット・ラインおよび予備アドレス・ビット・ラインの数が、メモリ回路用に使用する特定のアドレス指定スキーム、および前置デコーダ回路の形の追加の制御回路が、その用途に使用されているかどうかによって異なることが理解できるだろう。

【0028】例示としての2つの実施形態を参照しながら、本発明を説明してきたが、この説明は、本発明を制限するものでないことを理解されたい。それどころか、下記の特許請求の範囲に記載する、本発明の精神および

範囲から逸脱することなしに、例示としての実施形態を種々に変更および修正することができる。さらに、当業者であれば、上記のすべての変更および修正は、下記特許請求の範囲の一つまたはそれ以上の素子と等しいものであることを認めることができ、法律により許可された最も広い範囲で、上記特許請求の範囲に含まれることを理解することができるだろう。

【図面の簡単な説明】

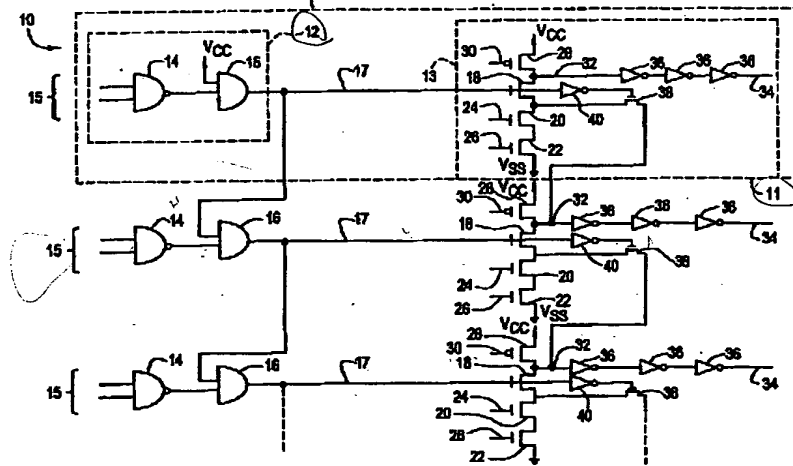
【図1】メモリ回路に対して一意のワード線冗長スキームを実行するメモリ回路用の制御回路の第一の実施形態を説明する回路の概略図である。

【図2】メモリ回路に対して一意のワード線冗長スキームを実行するメモリ回路用の制御回路の第二の実施形態を説明する回路の概略図である。

【符号の説明】

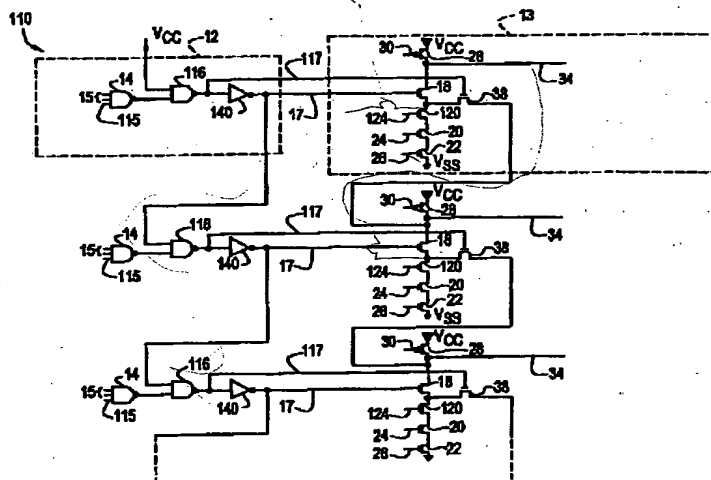
- 10 : 制御回路
- 11 : ワード線選択回路
- 12 : 行シフト回路
- 13 : 行デコーダ回路
- 14 : NANDゲート
- 15 : 入力ライン
- 16 : ANDゲート
- 17 : シフト制御ライン
- 18 : トランジスタ
- 20 : トランジスタ
- 22 : トランジスタ
- 24 : ワード線アドレス・ビット・ライン
- 26 : ワード線アドレス・ビット・ライン
- 28 : トランジスタ
- 30 : プレチャージ制御ライン
- 32 : 出力ノード
- 34 : ワード線選択ライン
- 36 : 直列接続インバータ
- 38 : トランジスタ
- 40 : インバータ
- 110 : 制御回路
- 115 : 予備アドレス・ライン
- 116 : NANDゲート
- 117 : シフト制御ライン
- 120 : トランジスタ
- 124 : ワード線アドレス・ビット・ライン
- 140 : インバータ

【図1】



WL選択回路

【図2】



フロントページの続き

(72)発明者 マイケル シー バリス
 アメリカ合衆国 コロラド州 コロラドス
 プリングス デルトリーレーン 5715
 (72)発明者 キム カーバー ハーディー
 アメリカ合衆国 コロラド州 コロラドス
 プリングス キットカルソンレーン 9760

Fターム(参考) 5B015 HH01 HH03 JJ21 JJ37 KA28

KB44 NN09

5B024 AA07 AA15 BA13 CA07 CA17

5L106 AA01 AA02 CC04 CC13 CC17